KPA XML 문서



## KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication

1020020053011 A

number:

(43)Date of publication of application:

04.07.2002

(21)Application number: 1020010084671

(71)Applicant:

MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.

(22)Date of filing:

26.12.2001

KANEKO HIDEYUKI

(30)Priority:

26.12.2000 JP 2000

(72)Inventor:

MATSUMURA KAZUHIKO NAGAO KOICHI

2000395965

NAKAOKA YUKIO

(51)Int. CI

H01L 25/065

### (54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(57) Abstract:

PURPOSE: To suppress the generation of the package crack of a semiconductor chip on an upper side and the deterioration of the reliability of connection in a semiconductor device for which two semiconductor chips are joined and packaged.

CONSTITUTION: In this semiconductor devicefunctioning as a three-dimensional device for which: two semiconductor chips are joined, the back surface of the semiconductor chip on the upper side is ground, the entire side face of the semiconductor

chip on the upper side is covered with a resin layer, or the center of the semiconductor chip on the upper side is made thicker than a peripheral part. Thus, the generation of the package crack is suppressed and the reliability of the semiconductor device is improved.

© KIPO & JPO 2003

Legal Status

Date of final disposal of an application (00000000)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)

# 한국 공개특허공보 제2002-53011호(2002.07.04) 1부.

[청부그림 1]

學2002-0053011

(11) 공개번호 육2002-0053011

## (19) 대한민국특허청(KR) (12) 공개특허공보(A)

| HO1L 25/066                         | (43) 공개일사 2022년(기월대월   |
|-------------------------------------|--|
| (21) 출원변호                           | 10-2001-0084671<br>2001년 12월26일  |
| (22) 출원일자<br>(30) 유선권주장<br>(71) 출원인 | (201년 12월25일<br>JP-P-2000-0395955 200년 12월25일 일본(JP)<br>마소시타 덴미 산교 가부시키가이샤 |
| (72) 발명자                            | 일본 오오사카후 가도마시 오오아자 가도마 1006<br>나카오카유키오                                     |
|                                     | 엷본국나라켄미코마시다카이마초4238<br>마츠무라가즈히코  |
|                                     | 마스무리가드이로<br>일본국나라겐기타카츠라기군다이마초오아자미나미이마이치430                                 |
|                                     | 가네코하데 유커   |
|                                     | 일본국호고켄이EI미시추오6-2-20-201<br>나가오고아치  |
| (74) 대리연                            | 다가로보이지<br>일본국교토효교토시후시미쿠히가시하아메나대초670-4-601<br>김영철                           |
| NAME 25                             |  |

소사원구 인종 (54) 반도체장차 및 그 제조병법

## *9*.97

(51) Int. CI.<sup>7</sup>

..... 문 발명은 2 장의 반도체 힘을 점합시켜 패키지하 시킨 반도체장치에 있어서, 위촉 반도체 힘의 심장군을 의 발생이나 접속 선회성의 약화를 억제하는 것이다.

고 강의 반도체 협출 접합시킨 3차원 디바이스로서 기능하는 반도체장치에 있어서, 위쪽 빈도체 협의 미연 을 엄마하거나, 위쪽 반도체 참의 측면 전체탑 수지층으로 교육하거나, 또는 위쪽 반도체 협의 중앙부혈 주변부보다 두껍게 한다. 미로써 실장 균멸의 탐생이 억제되어 반도체장치의 신뢰성이 항상된다.

### DIE.

**또**1

412/0/

반도체 칩, 반도체장치

### BAN

#### 医胆鸣 洛田县 盘盟

- 도 1은 본 발명 제 1 실시에의 3차원 디바이스 단면도.
- 도 2는 본 발명 제 1 심시에의 반형에에 있어서의 3차원 디바이스 단면도.
- 도 3은 본 발명 쟤 2 실시예의 3차원 대바이스 단면도.
- 도 4는 제 2 살시에의 제 1 변형에에 있어서의 반도체장치 단면도.
- 도 5는 제 2 실시예의 제 2 변형에에 있어서의 반도체장치 단면도.
- 도 6은 제 2 실시예의 제 3 변형에에 있어서의 반도체장차 단면도.
- 도 7은 본 발명 제 3 실시예의 3차원 디바이스 단면도.
- 도 6의 (a)~(f)는 제 4 실시예의 반도체장치 제조공행을 나타내는 단면도.
- 도 9의 (a)~(e)는 제 4 십시여 변형예의 반도체장치 제조공정을 나타내는 단면도.
- 도 10의 (a)~(f)는 제 5 실시예의 반도체장치 제조광정을 나타내는 단면도.
- 도 11의 (a)-(e)는 제 5 심시에 제 1 변형에의 반도체장치 제조공정을 나타내는 단면도.

[첨부그림 2]

學2002-0053011

```
도 12의 (a)~(i)는 제 5 실시에 제 2 변형에의 반도체장치 제조공정을 나타내는 단면도.
```

- 도 13의 (a)-(e)는 제 5 실시에 제 3 변형에의 반도체장치 제조공정을 LIE배는 단면도.
- 도 14의 (a)~(e)는 제 6 실시예의 반도체장치 제조광정을 나타내는 단면도.
- 도 15는 본 발명 제 6 실시에에서의 제 2 반도체 칩 이면 모서리부을 상세하게 나타내는 단면도.
- 도 16은 본 발명 저 6 실시에에서의 제 2 반도체 칩 이번의 연이방법을 나타내는 단면도.
- 도 17은 종래의 3 차원 디바이스 구조를 나타내는 단면도.
- 도 18의 (a)-(d)는 중래의 3 처원 다바이스의 제조공정을 나타내는 단면도.

### ◆ 도면의 주요 부분에 대한 부약의 성명 ◆

| to : 제 1 반도체 칩 | 11 : 제 1 내부진극  |
|----------------|----------------|
| 12 : 본닭패드      | 20 : 제 2 반도체 첩 |
| 21 : 제 2 내부전곡  | 22 : 메달 장벽출    |
| 23 : 급속 뱀프     | 30 : 수지        |
| 31 : 다이파드      | 32: 리드         |
| 33 : 도전성 페이스트  | 34 : 본당 와이어    |
| 35 : 봉입수지      | 36 : 웨이퍼       |
| 37: 제 1 수지층    | 38 : 제 2 수지층   |
| 40 : 공구        | 41 : 자외선       |
| 42 : 연마입자      | 43 : 연마장치      |
| 45 : 모시리부      | 46 : 반도체장치     |

## 医移动 保利县 强烈

47 : 보호수지

#### 四月91 年30

#### 监督이 今하는 기술문에 및 그 보여의 중에기술

본 발명은 제 1 반도체 칩 상에 제 2 반도체 칩이 접속된 반도체장치 및 그 제조방법에 관한 것이다.

는 필요는 제 1 번호제 등 상에 제 2 반호제 합니 압액전 반호제상이 및 그 제조명업에 완란 것이다. 최근 전자기기의 소형화, 고속처리화에 따라, 2 종류 이상의 반도체 협을 적출시켜 미루머지는 3 차원 디 바이스 구조가 넓러 검토되고 있다. 2 종류 이상의 반도체 협을 제별로 1 협화하는 기술과 3 차원 디바 미스물 형성하는 기술을 비교하면, 반도체 집 내에 형성되는 반도체소자의 종류에 따라 유리한 점과 불리 한 점이 있다. 예를 털어 메모리 로찍 본입학자 디바이스와 짧이 본입력제 공정으로 형성된 반도체소 월 1 집화하기 위해서는 공정이 목전해져 원기가 높아진다. 그래서 개별로 적합한 공정으로 형성된 반도 체소자를 갖는 2 종류의 반도체 합을 서로 적용시합으로써, 저원가화를 도모하고자 하기 위한 여러 가지 제안이 나왔으며, 제품화되기 시작한 디바이스도 있다.

이하, 증래의 3 차원화된 반도체장치의 구조와 제조방법에 대하여 실당하기로 한다. 도 17은 증래의 3 차원 디테이스 구조를 나타내는 단면도이다. 도 18의 (a)-(d)는 상기 중래의 3 차원 디바이스 제조공정 을 나타내는 단면도이다.

도 17에 나타낸 배와 같이 중래의 3 차원 디바이스는, 상면에 복수의 제 1 내부전국(111) 및 본립패드 (112)를 갖는 제 1 반도체 협(110)과, 상면에 복수의 제 2 내부전국(121)를 갖는 제 2 반도체 협(120)과, 상기 제 1 반도체 협(110)을 탑재하기 위한 CROINE (131)와, 상기 각 반도체 협(110, 120) 내의 토런지 스턴 등 소지와 외부 기기와의 사이에 전기적 산호를 주고받기 위한 리드(132)를 구비한다.

그리고 제 1 반도체 점(110) 상에 제 1, 제 2 내부견극(111, 121)페리 위치 조정한 상태에서 제 2 반도체 접(120)에 탑재되고 취(110) 상에 제 1, 제 2 내부견극(111, 121)페리 위치 조정한 상태에서 제 2 반도체 접(120)에 탑재되고 취(110) 보고 제 2 대부견극(111)를 금속 템포(123)를 개제하고 서로 견기 적으로 접속된다. 또 제 1 반도체 철(110)과 제 2 반도체 청(120) 서미에는 수지(130)가 참전되고, 수지 (130)에 임하여 제 1, 제 2 반도체 철(110), 120)에 서로 접착되어 일체적인다. 또 상기 다이패트(131) 및 라드(132)는 1 개의 리드프레임으로부터 분리된 것이다. 제 1 반도체 철(110)은 다이패드(131)에 활 라듐(여), 문(어) 등의 도건정 페이스트(133)로 고정되며, 제 1 반도체 천(110)의 분립패드(112)와 리드 (132)는 본당와이어(134)를 통해 전기적으로 접속된다. 또한 제 1 반도체 천(110), 제 2 반도체 첩 (120), 본당와이어(134), 다이패드(131) 및 리드(132)는 통압수지(135)로 용업되어 삼강화 된다.

다음으로 중래의 반도체장치 제조방법에 대하여 설명한다.

도 (8의 (a)에 나타낸 광장에서 다음과 같은 순서로 제 1 반도체 칩(110)과 제 2 반도체 칩(120)함 위치 조정 한다. 우선, 장면에 복수의 제 1 내부전국(111)함 갖는 제 1 반도체 칩(110)함 준비하여, 제 1 반 도체 칩(110)함 심장지기도시 생략) 상에 입고 제 1 반도체 칩(110)의 삼면에 수지(130)를 도포한다. 한편, 상면에 복수의 제 2 내부전국(121) 및 그 위의 메달장벽(122)활 갖는 제 2 반도체 칩(120)을 준비 하여, 제 2 반도체 칩(120)의 메탈장벽(122) 상에 금속범포(123)함 형성한다. 그리고 제 1 반도체 칩

[첨부그림 3]

**€ 2002-00530!1** 

(110) 상반에, 제 2 반도체 현(120)을 그 상단이 이래족으로 향한 상태로 대합시켜, 제 1 내부진국(III) 과 제 2 내부전국(121)(메탑장백(122))의 위치를 조정한다.

다음에 도 18의 (6)에 도시한 공정에서 다음과 같은 순서로 제 1 반도체 성(110)과 제 2 반도체 성(120)을 서로 전합한다. 우십, 제 2 반도체 성(120)를 그 이면에서 공속공구(140)로 가용, 가입하며 제 2 반도체 천(120)의 내부전국(121)상(메빨장벽(122)상)에 형성된 급속업표(123)를 개제하고, 제 1 반도체 청(110)의 제 1 내본전국(111)과 제 2 반도체 천(120)의 '배부전국(121)을 서로 잡합시킨다. 그리고 접합 후 양 반도체 천(110, 120) 서비에 충전되어 있는 수지(130)를, 자외선(141)를 조시하거나 가뭄합으로써

다음으로 도 18일 (c)에 나타낸 꼼장에서 다음과 같은 순서로, 접합 업체회된 반도체 디바이스에 대하여 와이어본임 공장한 실시한다. 우선 다이퍼트(131) 및 리도(132)를 구비한 리트관레임(137)를 준비한다. 그리고 제 1 반도체 칩(110)를 다이퍼트(131) 상에 활라됨(면), 은(A) 등의 도건성 케이스트(133)로 고 장시킨다. 그리고 제 1 반도체 칩(110)의 본당대트(112)와 리트프레임(137)의 리도(132)를 본당와이어 (134)로 접속한다.

다음, 도 18의 (d)에 나타낸 공청에서 다음과 같은 순서로 와대어본당된 반도체장치층 패키징 한다. 우 선 제 1 반도체 협(110), 제 2 반도체 협(120), 본당와마다(134), 다이패드(131) 및 리드(132)를 흥입수 지(135)로 흥입한다. 이 때 리드(132) 하면 또는 외측면은 봉입수지(135)로 피복되지 않고 노출되며, 미 부분이 외부단자료서 기능한다.

이상의 공정으로써, 저 1 반도체 첩(110) 상에 제 2 반도체 첩(120)을 탑재시켜 임체회되어 이루어지는 3 차원 디바이스가 형성된다.

#### 新聞的 01年20年 新七 기술等 新期

그러나 상기 3 차원 다바이스인 반도체장치에서는 다음과 같은 문제가 있다.

우선 제 1 반도체 첩(110) 상에 케이스다운 집합되는 제 2 반도체 첩(120)은 웨이퍼로부터 절단된 것인데, 제 2 반도체 첩(120) 하면의 모시리부(145) 측면은 철당 시 연식당 상태이다. 때문에 제 2 반도 체 첩(120) 하면 모시리부(145)에는 봉압수지 경화 시 발생하는 용덕이 집중되고, 그 결과 중합적인 반도 체 디바이스의 특성읍화가 얼머나가 쉬워진다.

또 반도체장치품 봉입수지로 통입하지 않을 경우도, 반도체장치 발영 시 반도체 칩미 취대집의 영향으로 반도체 칩간의 집속신뢰성이 저하되기 쉬워진다.

은 말명의 목적은 제 1 반도체 첩(110)에 접합되는 제 2 반도체 첩(120)의 이연 모시리부로의 움력집중품 완화시키고, 또는 첩의 휩쓸 저감시랑 수 있는 반도체장치 및 그 제조방법을 제공하는 데 있다.

#### 병원의 구성 및 작용

본 발명의 제 1 반도체장치는, 상면에 제 1 전목을 갖는 제 1 반도체 협과, 상면에 제 2 전국읍 갖고, 삼 기 제 2 전국읍 상기 제 1 전국에 전기적으로 접속시킨 상태로 상기 제 1 반도체 첩 상에 탑재된 제 2 반 도체 첩을 구비하며, 상기 제 2 반도체 첩 하면의 모서리부가 가공에 의하여 무디어진다.

이료써 제 2 반도체 칩의 하면 모서리부르의 용력집중이 왕화되므로, 실장균열 등의 발생이 역제되는 등, 3 차원 디바이스인 반도체장치의 종합객 특성 열화도 방지된다.

상기 제 2 반도체 참 하면의 모서리부가 꾸면으로 털으로써, 심장균열의 발생이 보다 효과적으로 억제된다.

상기 제 2 반도체 칩 하면 모시리부의 꼭면 곡출반경이 1~보다 끝 것이 바람직하다.

상기 제 1 반도체 취과 제 2 반도체 집 사이에 수지층이 처제됨으로써 점속 신뢰성이 향상된다.

보 범명의 제 2 반도체장치는, 삼면에 제 1 전국을 갖는 제 1 반도체 참과, 상면에 제 2 전국을 갖고, 상 기 체 2 전국을 상기 체 1 전국에 전기적으로 접속시킨 상태로 상기 제 1 반도체 참 상에 달재된 제 2 반 도체 참과, 상기 제 1 반도체 참과 제 2 반도체 참 사미에 개재하며, 또 상기 제2 반도체 참의 전 특면을 대복하는 수지용을 구비한다.

이로써 3 차원 디바이스의 힘이 저갑되어 접속 신뢰성이 확보되게 된다.

상기 수지층 중 상기 제 1 반도체 협과 상기 제 2 반도체 협 사이에 개재하는 부분과, 상기 제 2 반도체 합의 전 측면을 피복하는 부분은, 서로 다른 수지제료로 구성되는 것이 더욱 바람직하다.

소기 수지층 중 상기 제 2 반도체 현의 전 폭면을 피딱하는 부분의 필러 함유량이. 다시 제 1 반도체 현 과 제 2 반도체 칩 사이에 개재하는 부분의 필러 합유량보다 많거나, 상기 수지층 중 상기 제 2 반도체 칩의 전 출면을 피액하는 부분의 필러 평균지름은, 상기 제 1 반도체 결과 제 2 반도체 칩 사이에 개재하는 부분의 필러 평균지름보다 큰 것이 바람직하다.

상기 어느 한 구성에 의하대, 수지층 중 제 2 반도체 침의 건 축단을 따복하는 부분의 탄성률이 높마져 집 보호기능이 항상함과 동시에, 열평참계수가 반도체 협의 열평창계수에 가까워지므로 图 방지 기능도 높이진다.

성기 수지층 중 상기 제 2 반도체 점의 전 촉면을 따복하는 부분의 상면은, 상기 제 2 반도체 및 하면과 거의 공통 평면을 갖는 위치에 있음으로써, 집속 신뢰성을 보다 확실하게 확보할 수 있다.

상기 제 1 반도체 취과 상기 제 2 반도체 취은 수지 흥입되는 것이 바람직하다.

[정부그림 4]

母2002-0053011

본 발명의 제 3 반도체장치는, 상면에 제 1 전략을 갖는 제 1 발도체 협과, 상면에 제 2 전략을 갖고, 상 기 제 2 전략을 상기 제 1 전략에 전기적으로 합속시킨 페미스다운 상태로 삼기 제 1 반도체 협 상에 탑 재된 제 2 반도체 협합 구비하며, 상기 제 2 반도체 협 증망부가 주변부보다 두렵다.

이로써 제 2 반도체 첩의 휨이 저감되므로, 제 1 반도체 첩과 제 2 반도체 첩의 접속 신뢰성이 향상된다. 재 1 반도체 취과 제 2 반도체 취 사이에 개재하는 수지층을 추가로 구비함으로써 접속 신뢰성이 더욱 높 아진다.

상기 제 1 반도체 결과 상기 제 2 반도체 침은, 수지종입되는 것이 바람작하다.

이 방법으로써 제 2 반도체 컵 하면의 모시려부가 연작, 연마됨으로써 모서리가 떼머지므로, 모서리부료 의 용력집중이 위제되어 설장균열이 억제된 반도체장치가 얼어진다.

의 등학교왕이 되세되어 열양균별이 역세된 만도제장지가 얼마진다. 문 발명의 제 2 반도체장지의 제조방법은, 제 1 반도체 협 상에 제 2 반도체 협활, 양지의 전략까라 전기 적으로 서로 접속된 상태에서 탑재시키 협생되는 반도체장지의 제조방법으로서, 상면에 제 1 전략을 갖는 제 1 반도체 협과, 상면에 제 2 전략을 갖는 상기 제 2 반도체 협활 준비하는 공접과, 상기 제 1 반도체 철 협생명역 상에, 상기 제 2 반도체 협활 탑재하고, 상기 제 1 전략과 상기 제 2 전략을 시로 전기 철 협생명의 상에, 상기 제 2 반도체 협활 탑재하고, 상기 제 1 전략과 상기 제 2 전략을 시로 전기 을 접속하는 공접과, 상기 제 1 반도체 최과 상기 제 2 반도체 협 사이에 수지용을 협성하는 공정과, 상 기 제 2 반도체 협활 상기 웨이퍼에 탑재한 상태에서 상기 제 2 반도체 협의 하면을 연마하는 공정과, 상 기 웨이퍼열 각 협 협상명역별로 본러시키고, 제 1 반도체 협 상에 제 2 반도체 협이 함됐되어 구성되는 집합체를 개념로 협성하는 공정과, 상기 제 1 반도체 협과 상기 제 2 반도체 협출 통합수지로 통합하는 공정을 포함한다.

상기 제 1, 제 2 반도체장치의 제조방법에 있어서, 상기 제 1 전략과 상기 제 2 전략을 서로 전기적으로 접속하는 공정은, 상기 제 1 전략 및 상기 체 2 전략 중 적어도 어느 한쪽 전략에 범포를 형성하고, 상기 범포를 개재하고 각 전략피리를 접속하는 공정을 추가로 포함하는 것이 바람직하다.

상승한 목적 및 기타의 목적과 본 발명의 목장 및 이접은 첨부 도면과 관련한 다음의 상세한 설명을 통해 보다 분명해 집 것이다.

#### (실시예)

#### (제 1 실시예)

이하 본 방명의 제 ! 실시예 및 그 변형예에 판한 반도체장치의 구조에 대하며 성명하기로 한다. 도 1, 도 2는 본 실시에 및 그 변형예의 3 차원 디바이스 구조를 나타내는 단면도이다.

도 1에 나타낸 바와 값이 본 실시예의 3 차원 디바이스는, 주면에 취수의 제 1 내부견극(11) 및 본당패드 (12)를 갖는 제 1 반도체 협(10)과, 주면에 복수의 제 2 배부견극(21)을 갖고 페이스다운으로 제 1 반도체 협(10)에 집합된 제 2 반도체 협(20)과, 삼기 제 1 반도체 협(10)에 집합된 제 2 반도체 협(20)과, 삼기 제 1 반도체 협(10)에 집합된 제 2 반도체 협(20)과, 삼기 제 1 반도체 점(10)를 함께하기 위한 디어패드(31)와, 삼기 각 반도체 협(10, 20) 내 트랜지스터 등의 소자와 외부 기가 사이에 전기적 신호를 주고받기 위한 리드(32)를 구비한다.

그리고 제 1 반도체 참(10) 상에 제 1, 제 2 내부전국(11, 21) 미리를 위치 조정한 상태에서 제 2 반도체 천(20)이 탁재되며, 제 1 내부전국(11)과 제 2 내부전국(21)은 금숙범포(23)를 제재하고 서로 전기적으로 접숙된다. 또 제 1 반도체 천(10)과 제 2 반도체 천(20) 사이에는 수저(30)가 중던되고, 수지(30)와 함 하여 제 1, 제 2 반도체 천(10)과 제 2 반도체 천(20) 사이에는 수저(30)가 중던되고, 수지(30)의 1 개의 리드프레임으로부터 분리된 것이다. 제 1 반도체 천(10)은 다이패도(31)에 달라돔(94), 은(A9) 등의 도전성 페이스트(33)로 고정되며, 제 1 반도체 천(10)의 본의표(12)와 리드(32)는 본의와이어(3 4)를 통해 전기적으로 잡숙된다. 또한 제 1 반도체 천(10)의 본의표(12)와 리드(32)는 본의와이어(3 4)를 통해 전기적으로 잡숙된다. 또한 제 1 반도체 천(10), 제 2 반도체 천(20), 본당와이어(34), 다이 때도(31) 및 리도(32)는 통립수지(35)로 동입되어 패키지화 된다.

여기서 본 심시예의 3 차원 디바이스 중의 제 2 반도체 청(20) 미면의 모서리부(45)는 폭면화 되대, 제 2 반도체 청(20) 마면에는 예작의 모서리부가 존재하지 않는다. 따라서 제 2 반도체 청(20) 마면의 모서리 부(45)에서의 실장관열을 역제할 수 있어, 중합적인 디바이스 특성 엄화를 최피할 수 있다.

도 2는 제 1 실시에의 변형에에 있어서 3 차원 디바이스의 단면도이다. 도 2에 나타낸 비와 릴이 본 실 시예의 변형에에 있어서는 저 2 반도체 철(20)의 미먼이 동굴려진 상태가 머니고, 45도에 가까운 각도로 모떼기(chamfering) 된다. 이에 의해서도 실장군을 등의 방생을 억제할 수 있다. 즉 제 2 반도체 협의 모서리부(45)가 무디어지면 된다.

#### (제 2 실시메)

도 3은 본 실시예에 있어서 3 차원 디바이스 구조를 나타내는 단면도이다. 도 3에 나타낸 바와 같이, 본 실시예의 3 차원 디바이스는 주면에 복수의 제 | 내부전국(11) 및 복수의 본당패도(12)를 갖는 제 1 반도 체 참(10)과, 주면에 복수의 제 2 내부전국(21)를 갖고 편이스다몬으로 제 합(10)에 접합된 제 2 반도체 합(20)과, 삼기 제 1 반도체 합(10)를 탐제하기 위한 디이패드(31)와, 삼기 각 반도체 합(10,

[첨부그림 5]

3 S2002-0053011

20) 내 트런지스터 등의 소자와 외부 기가 사이에 전기적 신호를 주고받기 위한 리드(32)읍 구네한다.

그리고 제 1 반도체 협(10) 상에 제 1, 제 2 내부진급(11, 21)페리을 위치 조정한 상태에서 제 2 반도체 합(20)이 탑재되며, 제 1 내부전급(11)과 제 2 내부진급(21)은 급속범프(23)을 제재하고 서로 건기적으로 접속되다. 또 제 1 반도체 협(10)과 제 2 반도체 협(20) 사이에는 수지(30)가 용견되고, 수지(30)에 의 하여 제 1, 제 2 반도체 협(10)과 제 2 반도체 협(10) 본 전기 다이베트(31) 및 리드(32)는 1 개의 리드프레임으로부터 보킨된 것이다. 제 1 반도체 협(10)은 다이페트(31)에 필리들(여), 은(As) 등의 도전성 페이스트(33)로 고정되며, 제 1 반도체 협(10)은 단인페트(11)와 리드(32)는 본팅자미(10) 상)를 통해 전기적으로 접속된다. 또한 제 1 반도체 협(10), 제 2 반도체 협(20), 본팅와미대(34), 다이 때트(31) 및 리드(32)는 용업수지(35)로 당입되며 페키지화 된다.

때=[01] 볼 니=(02)를 연극구(04)로 연급되어 제2/03로 EU.
그리고 본 실시혜의 3 차원 디바이스에서는 제 2 반도체 협(20)의 촉면 진체가 수지(30)로 피복된다. 따라서 이 수지(30)로 제 2 반도체 합(20)의 모세리부(45)도 모호될으로써, 제 2 반도체 협(20)의 미면 모세리부(45)에서의 실장근업을 억제할 수 있다. 중합적인 디바이스 특성 협화를 했피할 수 있다. 또 수지 심민화(40)하기 전체 제 1 반도체 협(10)와 제 2 반도체 현(30)에 수지(30)로 각력하게 전체되므로, 실명의 실시하기 전체 제 1 반도체 현(10)와 제 2 반도체 현(30)에 수지(30)로 각력하게 전체되므로, 실장근성에서의 제 1, 제 2 반도체 현(10, 20) 박리를 유효하게 방지할 수 있어 접속 신뢰성의 항상을 도모 장근상에서 할 수 있다.

#### -제 | 변형예~

도 4는 제 2 십시여의 제 ( 변형에에 있어서의 반도채장치 구조를 나타내는 단면도이다.

도 4에 나타낸 바와 같이, 볼 변형예의 3 차원 디바이스는 도 3에 나타낸 3 차원 디바이스와 마찬가지로, 주면에 복수의 제 1 내부전국(11) 및 복수의 본당파도(12)을 갖는 제 1 반도체 참(10)과, 주면에 목수의 제 2 내부전국(21)을 갖고 돼이스다운으로 제 1 반도체 참(10)에 접함된 제 2 반도체 참(20)과, 상기 제 1 반도체 참(10)을 함께하기 위한 다이페트(31)와, 상기 각 반도체 참(10, 20) 내 볼런지스터 등의 소자 와 외부 기기 사이에 전기적 신호량 주고받기 위한 라드(32)를 구비한다.

그리고 제 | 반도체 협(10) 상에 제 1, 제 2 내부전극(11, 21)페리를 위치 조정한 삼태에서 제 2 반도체 합(20)이 탑재되며, 제 1 내부정극(11)과 제 2 내부전극(21)은 금숙병프(23)을 개제하고 서로 전기적으로 접숙된다. 장기 다이제드(31) 및 리드(32)는 1 개의 리드프레임으로부터 본리된 것이다. 또 제 1 반도 제 합(10)은 다이메드(31)에 팔라통(4), 응(48) 등의 도견용 페이스트(33)로 고정되며, 제 1 반도제 합 (10)의 본딩패드(12)와 리드(32)는 윤딩와이어(34)를 통해 전기적으로 점속된다.

대기서 본 변형에에 있어서, 제 1 반도체 첩(10)과 제 2 반도체 첩(20) 사이에는 제 1 수지(37)가 충전되다, 제 1 수지(37)에 의하며 제 1, 제 2 반도체 첩(10, 20)에 서로 접착되어 일체화된다. 그리고 제 1 반도체 첩(10) 상에는 제 1 수지(37) 및 제 2 반도체 첩(20)의 측면을 피혹하는 제 2 수지(38)가 구성된다.

그리고 제 1 반도체 칍(10), 제 2 반도체 첩(20), 본당와이머(34), 다미퍄드(31) 및 리드(32)는 중압수지 (35)로 병입되어 패키지화 된다.

(33)에 의하여 제 기사의 는데 (33)에 의하여 제 2 반도체 철(20)의 측면 전체가 따짝되므로, 째 2 수지 (33)에 의하여 제 2 반도체 철(20)의 모사리부(45)도 보호되게 팀으로써, 제 2 반도체 철(20)의 이면 모시리부(45)에서의 실장균일을 위째할 수 있어 중합적인 디바이스 특성 열화를 최민할 수 있다. 또 수지 등입을 실시하기 전에 제 1 반도체 철(10)과 제 2 반도체 천(20)대 수지(37, 38)로 강력하게 접착되므로, 심장광장에서의 제 1, 제 2 반도체 천(10, 20) 박리를 유효하게 방지할 수 있어 접속 신뢰성의 항상을 도모할 수 있다.

그리고 수지층을 제 1 수지(37)와 제 2 수지(38)라는 2 증류의 상이한 조성층 갖는 수지로 구성합으로써, 다음과 같은 효과를 당취할 수 있다. 예를 들어 제 2 수지(38)의 필러 합유량이 제 1 수지(37)의 필러 합유량보다 많게나, 제 2 수지(38)의 필러 함코지형이 제 1 수지(37)의 밀러 평균자형보다 급 제 2 수지(38)의 탄성훈이 높아까지 제 2 반도체 칩(20) 모서리부에 대한 보호기능이 합성된다. 또 제 2 수지(39)의 엄팽청계수가 제 1. 제 2 반도체 칩(20)의 명평창계수에 가까워지므로 할 방지기능도 높아진 수지(39)의 엄팽청계수가 제 1. 제 2 반도체 칩(20)의 명평창계수에 가까워지므로 할 방지기능도 높아진

### -제 2 변형야~

도 5는 제 2 실시에의 제 2 변형에에서 3 차원 디바이스의 구조를 나타내는 단면도이다.

도 5에 LIELM 비와 같이 본 변형예의 3 차원 [비바이스는, 주면에 복수의 제 1 내부견극(II) 및 복수의 본당패드(I2)를 갖는 제 1 반도체 협(I0)과, 주면에 복수의 제 2 내부견극(21)을 갖고 페이스디운으로 제 1 반도체 협(I0)에 접합된 제 2 반도체 협(20)과, 상기 제 1 반도체 협(ID)을 탑재하기 위한 F이패드 (31)와, 상기 각 반도체 협(I0, 20) 내 트랜지스터 등의 소자와 외부 기기 사이에 전기적 신호를 주고받 기 위한 리드(②)을 구비한다.

지하는 나는 사람 구입으로 되었다. 제 2 내부잔국(11, 21) 페리를 위치 조정한 상태에서 제 2 반도체 접(20)이 탑재되며, 제 1 내부잔국(11)과 제 2 내부잔국(21)은 금숙법포(23)를 게제하고 서로 전기적으로 접속된다. 또 제 1 반도체 철(10)과 제 2 반도체 철(20) 사이에는 수지(30)가 출견되고, 수지(30)에 의 하여 제 1, 제 2 반도체 철(10)과 제 2 반도체 철(10) 업체화된다. 또 상기 다이때트(31) 및 리트(32) 의 1 개의 리드포레임으로부터 분리된 것이다. 제 1 반도체 철(10)은 다이퍼트(31)에 끌리들(94). 등(As) 등의 도전성 페이스트(33)로 고정되다. 제 1 반도체 철(10)의 본당패트(12)와 리트(32)는 본당와이어(3 4)를 통해 전기적으로 접속된다. 또한 제 1 반도체 철(10)의 본당패트(12)와 리트(32)는 본당와이어(3 4)를 통해 전기적으로 접속된다. 또한 제 1 반도체 철(10), 제 2 반도체 철(20), 본당와이어(34), 다이 파트(31) 및 리트(32)는 용입수지(35)로 용입되어 패키지화 된다.

그리고 본 삶시예의 3 차원 디바이스에서는 제 2 반도체 칩(20)의 측면 전체가 수지(30)로 파력당과 동시 에, 수지(30)의 상단 면은 제 2 반도체 칩(20) 마면과 거의 공통 평면을 혈성한다. 즉 제 2 반도체 칩 (20)의 마면 모서리부(45) 촉박이 수지(30)로 두껍게 피복된다. 《G라서 도 3에 나타낸 구조보다 제 2 반

[첨부그림 6]

数2002-0053011

도체 첩(20)의 모시리부(45)를 보호하는 작용호과가 커진다.

#### -제 3 변형에-

도 6을 재 2 실시예의 제 3 변형에게 있다서의 반도체장치 구조를 나타내는 단면도이다. 도 6에 나타낸 내와 같이, 본 변형에의 3 차원 디바이스는 도 3에 나타낸 3 차원 디바이스와 마찬가지로, 주면에 탁수의 제 1 내부전국(11) 및 특수의 본담패도(12)를 갖는 제 1 반도체 합(10)과, 주면에 특수의 제 2 내부전국 (21)를 갖고 체이스다운으로 제 1 반도체 합(10)에 집합된 제 2 반도체 합(20)과, 신기 제 1 반도체 (10)를 받채하기 위한 다이패도(31)와, 장기 각 반도체 합(10, 20) 내 트랜지스터 등의 소자와 외부 기거 사이에 전기적 신호를 주고받기 위한 리드(32)을 구비한다.

그리고 제 ( 반도체 참(10) 상에 제 1, 제 2 대부견극(11, 21) 파리를 위치 조칭한 상태에서 제 2 반도체 참(20)이 탑재되며, 제 1 대부점극(11)과 제 2 대부전극(21)은 금속범프(23)를 개재하고 시로 전계적으로 잡속된다. 상기 다이패드(31) 및 리드(32)는 1 개의 리드프라테임으로부터 분리된 것이다. 또 제 1 반도 제 참(10)을 다이패드(31)에 활란돔(24), 혼(45) 등의 도견송 테이스톤(33)로 고정되며, 제 1 반도체 합 (10)의 본딩패드(12)와 리드(32)는 본딩와이며(34)를 통해 견기적으로 접속된다.

이기서 본 변형에에 있어서, 제 1 반도체 설(10)과 제 2 반도체 철(20) 사이에는 제 1 수지(37)가 출견되 데, 제 1 수지(37)에 익하여 제 1, 제 2 반도체 철(10, 20)대 서로 검착되어 임체화된다. 그리고 제 1 반도체 철(10) 상에는 제 1 수지(37) 임 제 2 반도체 철(10, 20)대 추건을 따득하는 제 2 수지(38)가 구성될 과 동시에, 제 2 수지(38)의 상단 면은 제 2 반도체 철(20)의 추건을 때득하는 제 2 수지(38)가 구성될 만도체 철(20)의 미먼 모세리부(45) 축방이 제 2 수지(38)로 두껍게 따득된다. 따라서 도 3에 나타낸 구 포보다 제 2 반도체 철(20)의 모세리부(45) 축방이 제 2 수지(38)로 두껍게 따득된다. 따라서 도 3에 나타낸 구 조보다 제 2 반도체 철(20)의 모세리부(45) 출방이 제 2 수지(38)로 두껍게 따득된다.

#### (제 3 실시폐)

도 7은 제 3 실시예에 있어서의 반도체장치 구조를 LIEH내는 단면되다다. 도 7에 나타낸 비와 같이, 본 실시예약 3 차원 디바이스는 주면에 복수의 제 1 내부전국(II) 및 복수의 본딩패드(12)를 갖는 제 1 반도 제 참(10)과, 주면에 복수의 제 2 내부전국(21)를 갖고 페이스다운으로 제 1 반도체 참(10)에 잠입된 제 2 반도체 참(20)과, 상기 제 1 반도체 참(10)를 많자하기 위한 다이피드(3)와, 상기 각 반도체 참(10), 20) 내 트랜지스터 등의 소자와 외부 기기 사이에 참기적 신호를 주고받기 위한 리드(32)를 구비한다.

20) 내 트런시으러 당의 살아자 되구 가가 서비에 단시적 근모를 무대 기계 조정한 상태에서 제 2 반도체 참(20)이 함재되며, 제 1 내부전국(11)과 제 2 내부전국(11, 21)끼리를 위치 조정한 상태에서 제 2 반도체 참(20)이 함재되며, 제 1 내부전국(11)과 제 2 반도체 참(20) 사이에는 수지(30)가 충연되고, 수지(30)에 의 참여 제 1, 제 2 반도체 참(10)과 제 2 반도체 참(20) 사이에는 수지(30)가 충연되고, 수지(30)에 의 하여 제 1, 제 2 반도체 참(10, 20)이 서로 참착하면 임체함된다. 상기 다이패드(31) 및 리드(32)는 1 개의 리드프레임으로부터 본래된 것이다. 제 1 반도체 참(10)은 다이패드(31)에 관라되(24), 은(As) 등 의 도전성 페이스트(33)로 고청되며, 제 1 반도체 참(10)은 다이패드(31)에 관라되(24)는 본당되어(34)를 통해 전기적으로 참속된다. 또한 제 1 반도체 참(10), 제 2 반도체 참(20), 본당와이어(34), 다이패드 (31) 및 리드(32)는 종립수지(35)로 봉입되어 패키지화 된다.

다기서 본 심시예의 3 차원 디바이스에 있어서, 제 2 반도체 칩(20)은 그 중앙부가 주변부보다 두껍게 된다. 따라서 본 십시예의 3 차원 디바이스에 의하면, 제 2 반도체 칩(20)의 실장균열을 억제할 수 있어 중합적인 디바이스 특성의 열화를 최피함 수 있다.

그리고 본 실시에의 3 차원 디바이스에서는, 제 2 반도체 참(20)의 속면 하부만이 수지(30)로 피력되어, 제 2 반도체 참(20)의 속면 전체가 수지(30)로 파복되지 않지만, 제 2 심시에와 마찬가지로 제 2 반도체 참(20)의 속면 전체가 수지(30)로 피복되어도 괜찮은 것으로 한다.

## (제 4 설시야)

다음으로 본 발명의 제 4 실시예에 관한 반도체장치의 제조방법에 대하여 설망하기로 한다. 본 실시예예 있어서는, 상숙한 제 1 실시예에 관한 반도체장치의 제조방법에 대하여 설망하기로 한다. 도 8의 (a)-(f)는 본 실시예에 있어서 반도체장치의 제조광정을 나타내는 단면도이다.

(a)~(i)~ 는 용서에에 보기에 받고세상시고 세소용상을 나다네는 단권보이다. 도 6의 (a)에 나타내는 공항에서 이하의 순서에 의하며, 재 1 반도체 컵(10)읍 형성하기 위한 영역인 다수의 참 형성영역(htp)을 갖는 웨이퍼(35)와 제 2 반도체 칩(20)의 위치를 조정한다. 우선 다수의 참 형성영역(htp)을 갖는 웨이퍼(35)를 준비한다. 웨이퍼(35)의 각 점 형성영역(htp)에는 반도체소자나 배선 이 형성되며, 각 참 형성영역(htp)의 성전에는 일루마]함으로 이루어지는 특수의 저 1 내부전역(11) 및 탈마]함으로 이루어지는 목수의 본경패로(12)가 배성된다. 그리고 웨이퍼(35)을 심장지그(도시 생략) 위에 없어 놓고, 웨이퍼(35)의 1 개 웹 형성영역(htp) 상면에 메족시 등으로 구성되는 수지(30)를 도포한다. 수지(30)로서는 메족시 있어 결정화성, 및 상은경화성이 있으며, 수지제로로는 아크릴수의를 즐리아이므수지, 및 우리탄수지 등이 있다. 또 수지의 도포함템으로는 주민법(dispense), 인쇄법, 또는 스템필법(stamping) 등이 있으며, 첫 크가 등으로 적절한 방법이 선택된다. 또한 수지 도포는 웨이퍼 (35)의 참 형성영역(htp)에의 도포하는 한정되지 않고 제 2한 반대 최(20)으로의 도포한 대신함 수도 있다.

또 수지(30)을 도포하는 타이밍은 도 8의 (a)에 도시한 위치조정 전뿐만 아니라. 위치조정하고 금속범포 (23)을 개제시켜 각 내부전극(11, 21)끼리를 점합시킨 후(도 8의 (b)에 나타낸 공정)라도 된다.

한편 주면에 알무미늄으로 이루어지는 복수의 제 2 내부전국(21) 및 그 위의 메함장벽을(22)를 갖는 제 2 반도체 천(20)을 준비하여, 제 2 반도체 천(20)의 매함장벽을(22)을 경우에지는 복수의 제 2 대부전국(21) 및 그 위의 메함장벽을(22)을 참여 급수범포(23)을 찾성한다. 매함 장벽을(22)은 티란(Ti), 구리(Cu), 니햏(Ni)의 급수박의으로 이루어지며, 급수범포(23)는 주석(Sn)-납(Pb)으로 이루어진다. 급수범포(23)의 재료로는 금(Au), 인율(In), In-Sn, Sn-Au, Sn-Cu, Sn-Zn, Cu 및 Ni 중 대는 하나를 선택하여 이용하는 것이 가능하며, 이 급수범포(23)의 크기는 범포 지율이 3-100, Au, Sn-Di), 3-50, Au, Sn-Cu, Sn-Zn, Cu 및 Ni 중 대는 하나를 선택하여 이용하는 것이 가능하며, 이 급수범포(23)의 크기는 범포 지율이 3-100, Au, Sn-Di), 3-50, Au, Sn-Cu, Sn-Zn, Cu 및 Ni 중 대는 하나를 선택하여 이용하는 것이 가능하며, 이 급수범포(23)의 크기는 범포 지율이 3-100, Au, Sn-Di), Sn-Sn-Mi)다.

그리고 웨이퍼(36)의 I 개 컵 형성염역(Rtp) 상밤에 공구(40)에 의하여 제 2 반도체 칩(20)을 유지하면서, 제 2 반도체 칩(20)을, 그 상면을 마래쪽으로 향한 상태로 웨이퍼(36)의 I 개 칩 형성염역

[첨부그림 7]

每2002-0053011

#### (Rtp)에 대한시킨다.

여기서 전기적 집속을 설시하기 위한 부자로서는, 금속범포(23) 데뫼에 도전성 페미스트, 이방성 도전수 지, 금속제 끌러 분산수지 등을 미용말 수 있다. 또 제 2 반도체 참(20)의 제 2 내부전극(21)과 마찬가 지로, 웨이퍼(36)의 집 형성영역(Rtp) 상의 제 1 내부전극(11) 상에 금속범포를 형성해도 된다.

다음으로 도 8일 (b)에 나타낸 공정에서, 미하의 순서로 웨이댄(36)의 칩 형성경역(Rtp)과 제 2 반도체 칩(20)용 서로 집합한다.

설(20)를 서로 집합한다.

우선 제 2 반도체 철(20)을 끌구(40)로 유지하면서 하강시켜, 제 2 반도체 철(20)의 제 2 내부전극(21) 상에 형성된 급숙범포(23)와, 웨이퍼(36)의 1 개 첩 혁성증역(Rtp)에 배치된 제 1 내부전극(11)과의 위치 를 조정한다. 그리고 위치 조정된 웨이퍼(36) 상의 제 1 내부전극(11)과 제 2 반도체 철(20)의 급숙범포(23)을, 공구(40)를 사용하여 가할 가입하고, 물리학적 작용 또는 급숙학적 작용(원지의 상호학생에 의한 합급화 등의 작용)을 이용하여 집합을 실시한다. 수지(30)를 접할 집에(도 8의 (4)에 나타번 공정에 제) 도포한 경우는, 공구(40)를 하강시켜 각 내부전극(11, 12)제리 집합을 실시한 때, 수지(30)가 웨이퍼(35) 보포한 경우는, 공구(40)를 하강시켜 각 내부전극(11, 12)제리 집합을 실시한 때, 수지(30)가 웨이퍼(35)의 결성에 의한 (36)의 칩 철성영역(Rtp)과 제 2 반도체 철(20) 사이로 명접 표진다. 이 때 수지(30)가 웨업에 의한 (36)의 칩 철성영역(Rtp)과 제 2 반도체 철(20) 사이의 가고청력이 더욱 증대된다. 공구(40)에 의한 가압적은 1 개의 급숙범포(23)에 대하면 이 1-20를 정도의 하중이 적당한데, 이 하증의 크기는 제 1 내부전극(11) 마찬되게나 기계 1 내부전극(11) 마래쪽에 형성된 토런지스터 명의 반도체소자나 배선 등의 특성을 변화시키지 않는다는 제약을 만족시키도록 설정한다. 그 후 수지(30)을 경화시키 제 2 반도체 철(20)과 웨이퍼(35)적을 일체하시킨다. 이 배 수지(30) 경화를 실시할 때는, 공구(40)에 의한 가압 해제 후에 오본 등의 가영 기구에 의한 가압을 현하거나, 또는 공구(40)에 내장시킨 하더 등에 의하여 가압 시 직접 가염을 향한다. 연결화 시의 온도조건은 수지(30)의 재료에 따르기는 하지만 70~300℃ 정도가 될 8 하다.

답응 도 8의 (c)에 나타낸 공정에서 도 8의 (a), (b)에 나타낸 공정을, 웨미퍼(35)의 각 겸 형성명역 (Rtp)에 탑재시킬 재 2 반도체 침(20)의 수만쯤 반복합으로써, 도 8의 (c)에 나타낸 바와 같이 웨미퍼 (36) 상에 다수의 채 2 반도체 침(20)을 탑재시킬 역성되는 집합체(50) 구조기 얻더전다. 그리고 반도체 참(에)을 수지성보으로서 메족서수지, 마조림수지 등을 포함하는 다당성 두전일을(MF; Anisotropic Conductor File) 또는 미방성 도 전공을(MF; Anisotropic Conductor File) 또는 미방성 도 전공을(MF; Anisotropic Conductor File) 또는 미방성 도 전수지(ACP; Anisotropic Conductor Pasta) 등으로 대용하는 것도 가능하다.

업구시(Mur: Anisotropic Conductor Paste) 응으로 대용하는 것도 가능하다.
다음에 도 용의 (4)에 나타낸 공정에서 접합체(50) 공의 제 2 반도체 첩(20) 대명을 연마한다. 도 용의 (c)에 나타낸 공정에서 수지(30)를 충분히 경화시킨 후, 웨이퍼(36)의 각 컵 험성역적(Nt) 상에 탑재된 제 2 반도체 최(20) 마인의 연의폭을 향한 의용 연마장치(43) 상에 대항지인 상태에서 접합체(50)를 연마장치(43) 상에 있는다. 이 때 웨미퍼(36)의 각 협 형성영역(Nt) 사미의 영역 상에는 보호수지(47)를 구 정치(43) 분 하는 그러고 연마장치(43)의 연마면에 연마입자(42)를 공급하고, 접합체(50)에 하증을 가하면서 연마장치(43)를 최견시킨으로써, 각 제 2 반도체 최(20) 미만의 연마를 실시한다. 이 때 연마업자(42)를 사한다. 이 때 연마장치(43)로 하건시청인 연마장치(43)를 최견시킨으로써, 각 제 2 반도체 최(20) 미만의 연마를 실시한다. 이 때 연마업자(42)를 사용하고 하는 인도가 최(200~12000) 정도의 다이아몬드 입자가 바람직하며, 연마장치(43)의 최진수는 5-50rpm 정도가 바람직하다.

다음으로, 도 6의 (e)에 나타낸 공정에서, 연마를 증립하고 잡합체(50)을 연마장치(40)로부터 분리하면 웨이퍼(36) 삼의 각 제 2 반도체 천(20)의 이면 모서리부(45)가 무디어져 유연화된 형상이 알머진다. 여 기서 제 2 반도체 천(20)의 이면 모서리부(45) 현상은 예를 들어 도 15에 나타내는 천 가로발한 차수(A) 가 약 1~10~00고, 천 서로방합 차수(B)가 약 1~10~로 되는 형상이다. 그 후 장합체(50)의 각 현 형성 영역(Rtb)를 된 에이퍼(36)를 집단함으로써, 개개의 제 1 반도체 천(10)과 제 2 반도체 첩(20)으로 이루어 지는 반도체장치(46)가 얼여진다.

다음, 도 8의 (()에 나타내는 공정에서, 반도해장치(46)의 피키징을 설시한다. 우선 반도체장치(46)를 리드프레임의 다이패드(31)에 답제하고 납, 은 등급 합유하는 도전성 페이스트(33)로 양자를 고전시킨다. 그리고 제 1 반도체 참(10)의 분량패트(12)와, 리드프레임의:리드(32)를 25mm 장도의 금, 알루미늄 으로 미루어지는 본당(에어(34)로 접속한다. 그리고 마지막으로 제 1 반도체 참(10), 제 2 반도체 참 (20), 본당와이어(34), 리드프레임의 다이패드(31), 및 리드프레임의 리드(32)(일부)를 에푹시계 또는 물 리이(미드계의 봉압수지(35)를 사용하여 수지용압을 실시한다.

이상의 공정으로써, 제 1 반도체 참(10) 상에 제 2 반도체 참(20)을 맡지하며 임체화시켜 구성되는 제 1 삼시메의 3 차원 디바이스가 용이하게 형성된다.

다음으로, 제 4 실시에의 변형에에 관한 반도체장치의 제조방법에 대하여 설명한다. 도 9의 (a)~(e)는 제 4 실시에의 변형에에 있어서 반도체장치의 제조공정을 나타내는 단면도이다. 본 변형에에 있어서는 에이퍼플 접단하여 제 1 반도체 참(10)를 이미 형성한 뒤, 제 1 반도체 참(10) 상에 제 2 반도체 참(20) 출 접합한다.

마라서 도 9의 (a)에 나타내는 공정에서는 제 1 반도체 칩(10)과 제 2 반도체 칩(20)를 위치조정 한다. 이 때의 조건은 다음에 서술하는 조건 이외는 도 8의 (a)에서 설명한 비와 같이 하면 된다. 또 수지(3 이)로는 메찍시 외에 협결화성 및 상공경화성이 있으며, 수지재료로는 미리립수지, 됩리이미드수지, 및 무 레탄수지 등이 있다. 또 수지의 도포방법으로는 구입 및 인쇄병, 또는 스램핑범 등이 있으며, 참 크기 등으로 적합한 방법이 선택된다. 또한 수지 도포는 제 1 반도제 칩(10)이 배치된 웨이퍼(36)로의 도포에 한정되지 않고 제 2 반도체 칩(20)으로의 도포로 대신함 수도 있다.

또 수지(30)을 도포하는 E(이당은 도 9의 (a)에 도시한 위치조정 전문만 마니라, 위치조정하고 급속법포 (23)를 개재시켜 각 내부전국(11, 21)까리를 접합시킨 후(도 9의 (b)에 나타낸 공정)라도 된다.

제 2 반도체 칍(20) 상에 형성별 금속범포(23)의 재료로는 Au, In, In-Sn, Sn-As, Sn-Cu, Sn-Zn, Cu 및 NI 중 머느 하나랑 선택하며 미용하는 것이 가능하며, 이 금속범포(23)의 크기는 범포 지물미 3~100gm.

[첨부그림 8]

**8:2002-00530(1** 

#### 높이가 3-50회이다.

그리고 제 1 반도체 칩(10) 상방에, 공구(40)에 의하며 제 2 반도체 칩(20)을 유지하면서, 제 2 반도체 칩(20)의 상면을 마래찍으로 함한 상태료 제 1 반도체 칩(10)에 대합시킨다. 여기서 전기적 집속을 실시하기 위한 부재로서는, 금속범포(23) 이외에 도전성 페이스트, 이방성 도전수 지, 금속제 필러 본산수지 등급 미용할 수 있다. 또 제 2 반도체 협(20)의 제 2 내부전국(21) 대신예, 제 1 반도체 칩(10)의 제 1 내부전국(11) 상에 금속범포를 합성해도 된다.

다음으로 도 9의 (b)에 나타낸 공정에서, 미미 삼명한 도 8의 (b)에 나타낸 공정과 같은 순서로 제 1 반도체 참(10)과 제 2 반도체 참(20)을 합재시켜, 양자의 내부전극(11, 21)까리의 집합과 수지(30) 경화를 심시하다, 제 1 반도체 참(10) 상에 제 2 반도체 참(20)을 탑재시켜 구성되는 집합체(51)를 현성한다.

다음에, 도 9의 (c)~(e)에 나타낸 공정에서, 이미 설명한 도 8의 (d)~(1)에 나타낸 공정과 마찬가지 순서 에 의하여, 집합체(51)의 제 2 반도체 합(20) 미면의 면마공정, 와이어본당공정 및 패키칭공장 등을 실시 한다.

는 번형에에서는, 도 9의 (c)에 나타낸 공장에서 제 1, 제 2 반도체 칩(10, 20)출 집합시켜 형성되는 집 합체(51)描로 제 2 반도체 칩(20) 이번의 엄마者 실시합으로써 제 2 반도체 쳡(20)의 이댓 모서리부(45)에 대한 언마입자(42)의 공급이 보다 원활하게 이루어지므로, 제 4 실시예의 방법에 비해 연마의 용이화 웹 도모함 수 있다.

### (제 5 젊시예)

다음으로, 본 발명의 제 5 실시에에 관한 반도체장치의 제조방법에 대하여 설명하기로 한다. 본 설시에 에 있어서는, 상숙한 제 2 실시에에 관한 반도체장치의 제조방법에 대하며 설명하기로 한다. 도 10의 (a)-(f)는 본 실시에에 있어서 반도체장치의 제조공정률 나타내는 단면도이다.

(a)-(f)는 본 실시에에 있어서 만도체상자의 세소용상을 (Erinde 단근보다)다.

도 10의 (a)에 (LEHH는 공정에서 이하의 소서에 의하여, 제 1 반도체 협(10)을 형성하기 위한 음력인 다수의 집 형성음력(Rto)을 갖는 케이퍼(36)와 제 2 반도체 웹(20)의 위치를 조정한다. 우선 타수의 집 형성염력(Rto)을 갖는 케이퍼(36)와 전 2 반도체 웹(20)의 위치를 조정한다. 위이를 반도체소자나 배선 이 형성되며, 각 현 형성음력(Rto)의 상면에는 함부미함으로 미루어지는 복수의 제 1 내부전극(11) 및 함티함으로 이루어지는 복수의 본원패트(12)가 배설된다. 그리고 웨이퍼(36)를 실장지그(도시 생략) 위에 업어 국고, 웨이퍼(36)의 1 개 형 현상염역(Rto) 상면에 에콕서 등으로 구성되는 수지(30)를 도포한다. 수지(30)로서는 에폭시 외에 움경화성, 및 상완경화성이 있으며, 중의 국제로로는 아크릴수지, 를리이미드수지, 및 무례단수지 등이 있다. 또 수지의 도포방법으로는 주입 및 인쇄법, 또는 스핑팅입들이 있으며, 참 크기 등으로 점찰한 방법이 선택된다. 또한 수지 도포는 웨이퍼(36)의 협 형성명역 (Rtp)에의 도포에 한정되지 않고 제 2 반도체 협(20)으로의 도포로 대신함 수도 있다.

또 수지(30)을 도포하는 EO(임은 도 10의 (a)에 도시한 위치조정 전뿐만 마니라, 위치조정하고 급속범포 (23)를 개재시켜 각 내부전극(11, 21)끼리를 잡합시킨 후(도 10의 (b)에 나타낸 공정)라도 된다.

여기서 본 실시에에 있아서, 도포되는 수지(30)의 양은 반도체 컵 증류에 따른 조건, 특히 제 2 반도체 십(20) 면적 등의 조건에 (다고 다른데, 제 2 반도체 첩(20) 측면에 수지 팔렛이 항성될 수 있는 양이 될 요하다. 구체적으로 수지(30)의 양은, 경화 후 수지(30)의 필럿 높다, 또는 펄럿 폭으로(도 15 참조) 약 50-308,44 이상이 뭘 양만 것이 바람직하다.

한편, 주면에 알루미늄으로 이루어지는 복수의 제 2 내부전국(21) 및 그 위의 메발장벽송(22)을 갖는 제 2 반도제 철(20)을 준비하여, 제 2 반도체 철(20)의 메발장벽송(22) 상에 금속범포(23)을 혈설한다. 메발장벽송(22)은 티탄(11), 구리(Cu), 니컬(M)의 금속범막으로 미무어지며, 금속범포(23)는 주석(Sn)-납(Pb)으로 미무어진다. 금속범포(23)의 제료로는 AU, In, In-Sn, Sn-As, Sn-Cu, Sn-Zn, Cu 및 Ni 중 이노하나를 선택하여 이용하는 것이 가능하며, 이 금속범포(23)의 크기는 범포 지율이 3-100,4m, 높이가 3-50 4-201다.

, 그러고, 웨이퍼(36) I 개의 칩 형성영역(Rtp) 상반에 공구(40)에 의하며 제 2 반도체 칩(20)를 유지하면서, 제 2 반도체 칩(20)를, 그 상면을 이래쪽으로 향한 상태로 웨미퍼(36)의 I 개 칩 형성영역 (Rtp)에 대항시킨다.

여기서 전기적 접속을 실시하기 위한 부제로서는, 금속병포(23) 미외에 도견성 페이스트, 이방성 도전수 지, 금속제 평러 분산수지 등을 이용할 수 있다. 또 제 2 반도체 칩(20)의 제 2 내부전극(21) 대신. 왜 미퍼(35)의 칩 형성영역(Rtp) 상의 제 1 내부전극(11) 상에 금속병포를 형성해도 된다.

다음으로 도 10억 (b)에 나타낸 풍경에서, 미하의 순서로 웨이퍼(36)의 ở 형성경역(Rtp)과 제 2 반도체 천(20)급 서로 집합한다.

천(20)급 서로 접합한다.

무선 제 2 반도체 천(20)급 공구(40)로 유지하면서 하감시켜, 제 2 반도체 천(20)의 제 2 내부격극(21) 상에 형성된 급속법표(23)와, 웨이퍼(36)의 1 제 첩 형성영역(Rtp)에 배치된 제 1 내부전극(11)과의 위치 점 중청한다. 그리고 위치 조정된 웨이퍼(36) 상의 제 1 내부전극(11)과 제 2 반도체 천(20)의 급속법표 조정한다. 그리고 위치 조정된 웨이퍼(36) 상의 제 1 내부전극(11)과 제 2 반도체 천(20)의 급속법표 (23)원, 공구(40)을 사용하며 지함・가임하고, 공리안적 작용 또는 금속학적 작용(影자의 상호학산에 막한 합금화 등의 작용)을 미용하며 잡한을 삼시한다. 수지(30)량 접합 전에(도 ID의 (a)에 나타낸 골정에 시) 도포한 감우는, 공구(40)을 허강시켜 각 내부전극(11) 12)에 접합을 삼시한 때, 수지(30)의 해외에 의하여 시) 도포한 감우는, 공구(40)을 허강시켜 각 내부전극(11) 12)에 접합을 삼시한 때, 수지(30)의 청성에 의하여 제 2 반도체 참(20)와 웨이퍼(35) 시이의 가고청력이 더욱 중대된다. 및 구(40)에 의한 가입역을 I 처제 1 내부전극(11)이 파견되게나 그 제 1 내부전극(11) 아래족에 형성된 등의 한동의 적당한데, 이 하증의 크기는 제 1 내부전극(11) 마찬되게나 그 제 1 내부전극(11) 아래족에 형성된 트런지스터 등의 반도체소자나 배선 등의 축성을 변화시키지 않는다는 제약을 만득시키도록 설정한다. 그 등적지(30)를 중화시키제 2 반도체 참(20)과 웨이퍼(35)를 체계화시킨다. 이 때 수지(30)가 광광화성수지라면 자외선(41)을, 얼강화성수지라면 가업을 각각 삼시한다. 가열에 의한 수지(30) 경화를 실시함 때는, 공구(40)에 의한 가입 하게 후에 오분 등의 가임기

[첨부그림 9]

\$2002-0053011

구에 의한 가염을 열하거나, 또는 공구(40)에 내장시킨 히터 등에 의하여 가압 시 직접 가염을 향한다. 영경화 시의 운도조건은 수지(30)의 재료에 따르기는 하지만 70-300°c 정도가 필요하다.

다음, 도 10의 (c)에 나타낸 공정에서 도 10의 (a), (b)에 나타낸 공정을, 웨이퍼(36)의 각 첩 청성영역 (Rtp)에 함재시킬 자 2 반도체 천(20)의 수만을 반복합으로써, 도 10의 (c)에 나타낸 바와 감데 웨미퍼(36) 상에 다수의 제 2 반도체 천(20)를 많재시켜 병정되는 집합제(50) 구조가 얼어진다. 그리고 반도체 참 웨이퍼 사이에 음전시키는 수지(30)를 이반성 도전펌룹(AOF) 또는 이방성 도전수지(AOP) 등으로 대용하는 것도 가능하다.

다음에 도 10의 (d)에 나타낸 공정에서 집합체(50) 중의 제 2.반도체 철(20) 미면을 연마한다. 도 10의 (c)에 나타낸 공정에서 수지(30)를 충보히 결화시킨 후, 웨이머(36)의 각 집 혈성영역(Rtp) 상에 탈재된 제 2.반도체 철(20) 미면() 역을 받한 만을 연마장치(43) 상단에 바라시킨 상태에서, 합합체(50)를 연마장치(43) 상대 없는다. 이 때 웨이퍼(36)의 각 칩 혈성영역(Rtp) 사이의 경역 상에는 보호수지(47)를 구 참시켜 듣다. 그리고 연마장치(43)의 연마 면에 연마인지(42)를 공급하고, 집합체(50)에 하음을 가능면 서 연마장치(43)를 회견시킬으로써, 각 제 2.반도체 철(20) 미만 연마장치(43)를 회견시킬으로써, 각 제 2.반도체 철(20) 미만 연마장치(43)의 회전수는 5-50rpm 정도가 비담적하다.

여기서 본 설시메에서는, 수지(30) 중 제 2 반도체 칩(20)의 축면 상에 있는 부분의 상단부가 노출될 때 까지, 제 2 반도제 첩(20)의 이면읍 연마한다.

다음으로, 도 10의 (e)에 나타낸 공정에서, 연마중 중요하고 정합체(50)을 연마장치(43)로부터 분리하면 웨미田(36) 상역 각 제 2 반도체 참(20)의 미면 전체가 수지(30)로 피복된 형상이 얼머진다.

그 후 접합체(50)의 각 첩 현성당역(Rtp)별로 웨이I퍼(36)을 현단함으로써, 개개의 제 I 반도체 협(10)과 제 2 반도체 협(20)으로 미루어지는 반도체장치(46)가 엄어진다.

다음, 도 10의 (1)에 나타내는 공장에서, 반도체장치(46)의 패키징을 실시한다. 우선 반도제장치(46)을 리트프레임의 다이패드(31)에 함재하고 납. 은 동물 합유하는 도전성 페이스트(33)로 양자랑 고정시킨다. 그리고 제 1 반도체 청(10)의 본당패트(12)와, 리트프레임의 리트(32)를 25me 정도의 국, 왕국미늄 등 으로 미루어지는 본담와이어(34)로 접속한다. 그리고 마지막으로 제 1 반도체 청(10), 제 2 반도체 청 (20), 본당와이어(34), 리트프레임의 다이패드(31), 및 리트프레임의 리드(32)(일부)당 에족시계 또는 중 감이미드계의 정입수지(35)을 사용하여 수지종입을 실시한다.

이상의 공정으로써, 제 1 반도체 현(10) 상에 제 2 반도체 현(20)을 탑재하며 업체화시켜 구성되는 제 1 십시여의 3 차원 디바이스가 용이하게 형성된다.

다음으로, 제 5 실시예의 제 1 변형에에 관한 반도체장치의 제조방법에 대하며 설명한다. 도 11의 (a)~(a)는 제 5 실시예의 제 1 변형에에 있머서 반도체장치의 제조공정론 나타내는 단면도이다. 본 변형 예에 있어서는 웨이퍼을 끝단하여 제 1 반도체 칩(ID)을 이미 형성한 뒤, 제 1 반도체 칩(ID) 상에 제 2 반도체 칩(20)을 접합한다.

마라서 도 11의 (a)에 나타내는 공정에서는, 제 ) 반도체 참(10)과 제 2 반도체 참(20)을 위치조정 한다. 이 때의 조건은 다음에 서술하는 조건 이외는 도 10의 (a)에서 설명한 바와 같이 하면 된다. 또 수지 (30)로는 애축시 외에 덜굴화성 및 상은경화성이 있으며, 수지제로로는 아크달수지, 중감이미드수지, 및 우레탄수지 등이 있다. 또 수지의 도포방법으로는 주업방, 인체방, 또는 스탬워법 등이 있으며, 참 크기 등으로 적접한 방법이 선택된다. 또한 수지 도포는 제 1 반도체 참(10)이 배치된 웨이퍼(36)로의 도포에 한정되지 않고 제 2 반도체 참(20)으로의 도포로 대신함 수도 있다.

또 수지(30)를 도포하는 E(이임은 도 11의 (e)에 도시한 위치조정 진본만 마니라. 위치조정하고 급숙범포 (23)를 제제시켜 각 내부전극(I1, 21)에러를 접합시킨 후(도 I1의 (b)에 나타낸 용정)라도 된다.

제 2 반도체 칩(20) 상에 열성될 금속범프(23)의 재료로는 Au, In. In-Sn. Sn-As, Sn-Cu, Sn-Zn. Ou 및 NI 중 어느 하나를 선택 미용하는 것이 가능하며, 이 금속범프(23)의 크기는 범프 지료이 3~100gm, 높이 기 3~50gm이다.

그리고 제 1 반도체 칍(10) 상병에, 공구(40)에 의하여 재 2 반도체 칍(20)읍 뮤지하면서, 제 2 반도체 칩(20)의 상면을 이래찍으로 할한 상태로 제 1 반도체 켭(10)에 대학시킨다.

여기서 전기적 접속을 심시하기 위한 부재로서는, 금속법프(23) 미외에 도전성 페이스트, 미방성 도전수 지, 금속제 팔러 분산수지 등을 미양할 수 있다. 또 제 2 반도체 최(20)의 제 2 내부전극(21) 대신에, 제 1 반도체 칩(10)의 제 1 내부전극(11) 상에 금속범프를 형성해도 된다.

다음으로 도 11의 (b)에 나타낸 공정에서, 이미 설명한 도 10의 (b)에 나타낸 공장과 같은 순서로 제 1 반도체 참(10)에 제 2 반도체 참(20)을 탑재시켜, 양자의 내부전국(1), 21)까리의 점합과 수지(30) 경화 줍 십시하며, 제 1 반도체 참(10) 상에 제 2 반도체 참(20)을 탑재시켜 구성되는 잘함체(51)을 형성한다. 다음에, 도 11의 (c)-(e)에 나타낸 공정에서, 이미 설명한 도 10의 (d)-(1)에 나타낸 공정과 마찬가지 순 서마 의하며, 집합체(51)의 제 2 반도체 칩(20) 아면의 연마공정, 와이어본당공정 및 패키징공정 등등 실

본 변형에에서는, 도 11의 (c)에 나타낸 공장에서 제 1, 제 2 반도체 참(10, 20)를 접합시켜 형성되는 접 할<u>제(5) 별로 제 2 반도체 참(20)</u> 이면의 연마를 삶시합으로써, 제 5 싫시예의 방법에 비해 연마의 용이 화國 도모할 수 있다.

-제 2 변형예-

[첨부그림 10]

母2002-0053011

다음으로 본 분양 제 5 실시에의 제 2 변형에게 판한 반도체장치의 제조방법에 대하여 설명한다. 문 변 형에에서는 제 2 실시에 제 2 변형에에서의 3 차원 디바이스를 협성한다. 도 12의 (a)-(f)는 제 5 실시 에 제 2 변형에에서의 반도체장치 제조광정을 나타내는 단면도미다.

는 변형에에서의 3 차용 CIHIOI스 협성 순서는, 상기 제 5 실시에의 도 10의 (a)~(f)에 나타내는 공정과 기본적으로 마찬가지이다.

지는 그 그로 하는 기자이다. 마기서 본 변형에에서는 도 12의 (d)에 나타내는 공행에서, 수지(30) 중 제 2 반도체 칩(20) 측면 상에 있는 부분의 상단부가 노출된 후, 다시 제 2 반도체 칩(20) 및 수지(30)를 연미한다. 미 면마방법으로써 제 2 반도체 첩(20) 미면과 수지(30) 상단면이 거의 공통의 평면(45)를 형성하는 형상을 갖는 3 차원 디 바이스를 형성한다.

본 변형에에 있어서는 도 12의 (c)에 나타내는 공장에서, 제 1, 제 2 반도체 칩(10, 20)을 잡합시켜 형성 되는 집합체(50)별로 제 2 반도체 칩(20)의 이면 면마를 실시합으로써, 제 5 실시에의 방법에 비해 면마 의 용이화를 도모할 수 있다.

#### -제 3 변형예~

다음으로, 본 방명 제 5 십시에의 제 3 번형에에 편한 반도체장치의 제조방법에 대하여 설명한다. 본 변형에에 있어서도 제 2 십시에 제 2 번형에의 반도체장치의 제조방법에 대하여 설명한다. 도 13의(a)-(a)는 제 5 십시에의 제 3 번형에에 있어서 반도체장치의 제조광정을 나타내는 단면도이다. 본 변형에에 있어서는 웨이퍼를 절단하여 제 1 반도체 칩(10)을 이미 형성한 뒤, 제 1 반도체 칩(10) 상에 제 2 반도체 칩(20)을 집합한다.

마라서 도 13의 (a)에 나타내는 공정에서는 제 1 반도체 참(10)과 제 2 반도체 참(20)를 위치조정 한다. 이 때의 조건은 다음에 서울하는 조건 이외는 도 10의 (a)에서 설명한 바와 같이 하면 된다. 또 수지 (30)로는 어쪽시 외에 열결화성 및 상은경화성이 있으며, 수지자료로는 마크릴수지, 플라이미드수지, 얼 우레탄수지 등이 있다. 또 수지의 도포병법으로는 주입법, 인쇄법, 또는 스템캠법 등이 있으며, 칩 크기 물으로 적확한 방법이 선택된다. 또한 수지 도포는 제 1 반도체 합(10)이 배치된 웨이퍼(56)로의 도포에 한정되지 않고 제 2 반도체 참(20)으로의 도포로 대신함 수도 있다.

또 수지(30)을 도포하는 E(이밍은 도 13의 (a)에 도시한 위치조정 전뿐만 아니라, 위치조정하고 급속병표 (23)을 개제시켜 각 내부전극(11, 21)끼리를 접합시킨 후(도 13의 (b)에 나타낸 공정)라도 된다.

제 2 반도체 침(20) 상에 형성될 금속법포(23)의 제료로는 Au, In, In-Sn, Sn-kg, Sn-Cu, Sn-Zn, Cu 및 Ni 중 이노 하나를 선택 이용하는 것이 가능하며, 이 금속법포(23)의 크기는 법포 지름이 3~100,cm, 숲이 가 3~50,cm이다.

여기서 전기적 접속을 실시하기 위한 부재로서는, 급속범포(23) 이외에 도전성 페이스트, 이방성 도전수 지, 금속제 필러 보산수지 등을 이용함 수 있다. 또 제 2 반도체 칩(20)의 제 2 내부진국(21) 대신에, 제 1 반도체 칩(10)의 제 1 내부전국(11) 상에 금속범포를 형성해도 된다.

지 - 2도 12의 (b)에 나타낸 '공정에서, 이미 설명한 도 10의 (b)에 나타낸 공정과 같은 순서로 제 1 반도체 철(10)에 제 2 반도체 철(20)을 탑재시켜, 양자의 내부건국(11, 21)페리의 점험과 수지(30) 경험 등 실시하며, 제 1 반도점 철(10) 상에 제 2 반도체 철(20)을 탑재시켜 형성되는 점합체(51)를 청성한다.

다음에, 도 13의 (c)~(e)에 나타낸 공정에서, 이미 설명한 도 10의 (d)~(f)에 나타낸 공정과 마천가지 순 서에 의하여, 접합체(51)의 제 2 반도체 칩(20) 이면의 연마공정, 와이어본등공정 및 폐가장공정 등을 심 시한다.

본 변형에에서는, 도 19의 (c)에 나타낸 공장에서 제 1, 제 2 반도체 참(10, 20)을 잡합시켜 형성되는 접 합체(51)별로, 제 2 반도체 참(20) 미편의 연마를 실시합으로써, 제 5 실시에의 방법에 비해 연마의 용미 화균 도모함 수 있다.

#### (제 6 삼시대)

다음으로, 본 발명의 제 6 실시에에 관한 반도제장치의 제조발범에 대하여 설명하기로 한다. 본 실사에 제 있어서는, 상실한 제 3 실시에에 관한 반도체장치의 제조방법에 대하여 설명하기로 한다. 도 14의 (a)-(e)는 본 실시에에 있어서 반도체장치의 제조공정을 나타내는 단면도이다.

(B)~(B)는 본 됩시에에 있어서 만노제상지의 제조공정을 LIEL대는 단면도이다. 도 14의 (a)에 LIEL대는 곱정에서 미하의 순서에 의하여, 제 1 반도체 침(10)과 제 2 반도체 침(20)의 위 치를 조정한다. 우선 반도체소자나 배신이 형성된, 디수의 칩 형성영역을 갖는 웨이퍼를 준비한다. 그 리고 디이상으로 각 칩 형성영역별로 웨이퍼를 절단하여 제 1 반도체 칩(10)를 형성한다. 제 1 반도체 칩(10)의 상면에는 왕루마늄으로 이루어지는 복수의 제 1 내부전국(11) 및 알루마늄으로 미루어지는 복수 의 콘딜퍼드(12)가 배섭된다. 그리고 제 1 반도체 칩(10)를 성장지그(도사 생략) 위에 없어 보고, 제 1 반도체 칩(10) 상면에, 에폭시 등으로 구성되는 수지(30)을 도포한다. 수지(30)로서는 에폭시 외에 엄결 반도체 칩(10) 상면에, 에폭시 등으로 구성되는 수지(30)를 도포한다. 수지(30)로서는 에폭시 외에 엄결 화성, 및 상윤결화성이 있으대, 수지제료로는 아크립수지, 왕국리아미드수지, 왕 우리탄수지 등이 있다. 또 수지의 도포방병으로는 주입법 인생대 또는 스템취원 등이 있으대, 칩 크기 등으로 적절한 방법이 선택된다. 또한 수지 도포는 제 1 반도체 칩(10)의 도포에 한정되지 않고 제 2 반도체 칩(20)으로의 도 포로 대신함을 수도 있다.

또 수지(30)를 도포하는 타이밍은 도 14의 (e)에 도시한 위치조정 전뿐만 아니라, 위치조정하고 금속범프 (23)를 개재시켜 각 내부전국(11, 21)페리즘 집합시킨 혹(도 14의 (b)에 나타낸 공정)리도 된다.

여기서 본 성시에에 있어서, 도포되는 수지(30)의 양은 반도체 칩 종류에 따른 조건, 몫히 제 2 반도처 칩(20) 면적 동의 조건에 따라 다른데, 제 2 반도체 칩(20) 속면에 수지 떨렷이 형성될 수 있는 양이 필

[첨부그림 11]

₩2002-0053011

요하다. 구체적으로 수지(30)의 영윤. 경화 후 수지(30)의 펼렛 높이, 또는 핌렛 목으로(도 15 참조) 약 50~300㎞ 이상여 및 양인 것이 바람직하다.

한 편, 주면에 합부미형으로 이루어지는 목수의 제 2 내부건국(21) 및 그 위의 메달장벽송(22)을 갖는 제 2 비도제 현(20)을 준비하여, 제 2 반도체 현(20)의 메달장벽송(22) 상에 금속병표(23)을 형성한다. 때 담장벽송(22)은 11, DU, NI의 금속범작으로 이탈어지면, 금속범포(23)는 ShthD로 이투어진다. 금속범 포(23)의 제로로는 M, In, In-Sp, Sh-Au, Sh-Cu, Sh-Zn, Du 및 NI 중 어난 하나를 선택하여 이용하는 것 데 가능하며, 이 금속범포(23)의 크기는 범포 자물이 3-100点, 높이가 3-50点이다.

그리고 제 I 반도체 참(10) 상황에 공구(40)에 의하여 제 2 반도체 참(20)을 유지하면서, 제 2 반도체 참 (20)을, 그 상연을 이래쪽으로 할한 상태로 제 I 반도체 참(10)에 대학시킨다.

여기서 전기적 접속을 실시하기 위한 부자료서는, 금속병표(23) 이외에 도전성 페이스트, 이방성 도전수 지, 금속제 필러 분산수지 등을 이용할 수 있다. 또 제 2 반도체 칩(20)의 제 2 내부전극(21) 대신, 제 1 반도체 칩(10) 상의 제 1 내부전극(11) 상에 금속병표를 형성해도 된다.

다음으로 도 14의 (b)에 나타낸 공행에서, 이하의 순서로 제 1 반도체 협(10)과 제 2 반도체 협(20)을 서 로 집합한다.

로 접합한다.
무선 제 2 반도체 협(20)을 공구(40)로 유지하면서 하라시켜, 제 2 반도체 협(20)의 제 2 내부전극(21) 상에 형성된 급속범프(23)와, 제 1 반도체 협(10)에 배치된 제 1 내부전극(11)교의 위치를 조정한다. 그리고 위치 조정된 제 1 반도체 협(10) 상의 제 1 내부전극(11)과 제 2 반도체 협(20)의 금속범프(23)를, 공구(40)을 사용하여 기업을 가입하고, 물리하철 작용 또는 금속하철 작용(원지의 삼호확산에 의한 함글로 공구(40)을 사용하여 기업을 신시한다. 수지(30)를 절합 전에(도 100) (제 나단반 공정에서) 도포한 경우는, 공구(40)을 하라시켜 각 내부전극(11, 12)과리 집합을 심시함 때 수지(30)가 제 1 반도체 협(10)과 제 2 반도체 현(10)과 제 2 반도체 현(20) 사이로 발려 배전다. 이 때 수지(30)의 전설에 비난보지 협(10)과 제 2 반도체 현(20) 사이로 발려 배전다. 이 때 수지(30)의 전설에 연의한 가입력은 1 개의 급속범포(23)에 대하여 0.1-20s 정도의 하용이 적당한데, 이 하용의 크기는 제 1 내부전극(11)이 때수되기나 그 제 1 내부전극(11) 이래국에 협성된 트렌지스터, 이 하용의 크기는 제 1 내본전극(11)에 파소되기나 그 제 1 내부전극(11) 이래국에 협성된 트렌지스터, 이 하용의 크기는 제 1 내본전극(11)에 파소되기나 그 제 1 내부전극(11)에 대소되기지 않는다는 제 대통에 기도 함보다는 제 1 보고체소제나 배선 등의 특성을 변화시키지 않는다는 제 대통에 가입되어 1 보고체소제가 있는다는 제 대통에 가입되어 1 보고체소제가 있는다는 제 1 보고체소제가 되었다. 이 때 수지(30)가 광공화성수지라면 가입되어 1 보도체 협(10)과 제 2 반도체 협(20)을 입체하시킨다. 이 때 수지(30)가 광공화성수지라면 가입되어 1 보고체제 후에 오본 등의 가입기구에 의한 가입점을 행하거나, 또는 공구(40)에 대장시킨 하더 등에 의하여 가입시킨 현업 기업을 행한다. 열경 최시의 온도조건은 수지(30)의 제료에 따르기는 하지만 70~300~8 로자 의용하다.

이상의 처리에 의하며 제 1 반도체 참(10) 상에 제 2 반도체 참(20)을 탑재시켜 형성되는 점합체(51) 구 조가 얼어진다. 여기서 반도체 참-웨이田 사이에 충전시킬 수지(30)를, 이방성 도견필름(ACF), 이방성 도전수지(ACP) 등으로 대용하는 것도 가능하다.

조건무시(MVF) 중으로 내용하는 것도 가능하다.
다음에 도 14의 (c)에 나타낸 공정에서 접합해(51) 중의 제 2 반도체 칩(20) 이면을 연마한다. 도 14의 (c)에 나타낸 공정에서 접합해(51) 중의 제 2 반도체 칩(10) 상에 탑재된 전 2 반도체 칩(20) 이면(위작을 향한 면)을 연마장치(43) 상면에 대학시킬 상태에서, 집합체(51)을 연마장치(43) 상면에 대학시킬 상태에서, 집합체(51)을 연마장치(43) 상면 얼는다. 그리고 역마장치(43)의 연마 면에 역마입자(42)를 공급하고, 전합체(51)에 하증을 가하면서 연마장치(43)을 회전시킬으로써, 각 제 2 반도체 최(20) 이면의 연마물 심시한다. 에 때 연마입자(42)로서 한 업도 #1200~#2000 정도의 다이마몬드 입자가 바람직하며, 연마장치(43)의 회전수는 6-50rps 정도가 바람직하다.

마기서 본 실시예에 있어서는 도 16에 나타낸 비와 같이 접합체(51) 연마장치(43)의 면이면 범론에 대한 경사각(요2)을 변화시키면서, 접합체(51) 및 연마장치(43)을 회전시켜 연마를 실시한다. 미로써 도 14의 (4)에 나타낸 비와 같이 연마공항 중료 후에는, 제 2 반도체 철(20)의 미면 모시리부(45)를 더욱 넓은 밤 위에 걸쳐 물급함과 동시에, 제 2 반도체 철(20)의 증암부가 주변부보다 두꺼워지도록 함성된 반도체장치 (46)를 얻을 수 있다.

다음, 도 14의 (e)에 LIEL대는 공정에서, 반도체장치(46)의 패키장읍 실시한다. 유선 반도체장치(46)을 리트프레임의 다이패드(31)에 탑재하고 남, 은 등등 학유하는 도전성 테이스트(33)로 양자를 고정시킨다. 그리고 제 1 반도체 참(10)의 분당패드(12)와, 리트프레임의 라드(32)를 25째을 정도의 금, 알루미늄 등 으로 이루데지는 본당됐어나(34)로 접숙한다. 그리고 마지막으로 제 1 반도체 참(10), 제 2 반도체 참 (20), 분당와이어(34), 리드프레임의 다여패드(31), 및 리드프레임의 라드(32)(임부)를 에푹시계 또는 품 라이미드계의 봉압수지(35)를 사용하여 수지봉압을 실시한다.

이상의 공정으로써, 제 1 반도체 첩(10) 상에 제 2 반도체 첩(20)者 탑재하여 임체화시켜 구성되는 제 3 십시여의 3 차원 디바이스가 용이하게 형성된다.

여기서 제 3 실시예에 있어서, 상기 도 16에 나타낸 상태로 연마장치(43) 대신 연마수름을 가진 연삭장치 를 마용하며, 접합체(5)의 연마수름 면 법선에 대한 경사각(62)을 멸정하게 하고 연삭을 심시합으로써, 도 2에 나타낸 제 1 심시예의 변형에에 나타내는 구조를 용미하게 얻을 수 있다.

또 삼기 제 4-제 6 심시예에서, 또 4 또는 도 5에 나타낸 바와 같이, 제 1 반도체 칩(ID)과 제 2 반도체 칩(2D) 사이에 개제시키는 제 1 수지(37)와 제 2 반도체 칩(2D) 축면을 피복하는 제 2 수지(38)를 토포하 며, 개별로 결화시키도록 해도 된다.

어기서, 상기 각 십시데에 있어서, 제 1, 째 2 내부전극(11, 21)이 협성된 면을 제 1, 제 2 반도체 칩(10, 20)의 주먹으로 하지만, 본 발명은 미러한 십시예에 한정되는 것이 아니다. 따라서 제 1 반도체 칩(10) 또는 제 2 반도체 칩(20)에 대하여, 반도체 첩의 판룡 흡(through hole)이나 촉면에 구성된 도체막용 개제하고, 반도체 첩 이면에 대부전극을 협성한 것에 대해서도 본 발명을 적용할 수 있다.

[첨부그림 12]

₽ 2002-0053011

#### 复复乳 互养

본 발명의 반도체장치 또는 그 제조밥법에 의하면, 제 1 반도체 철에 전합된 제 2 반도체 철 하면의 모서 고부를 곡면화 시키고, 제 2 반도체 철의 촉면 전체를 수지용으로 피력하거나, 또는 제 2 반도체 철 중압 부를 주변부보다 두절게 함으로써 실장 균임의 발생이나, 각 반도체 칩간의 접속 신뢰성 저하 등을 억제 할 수 있다.

#### (57) 경구의 병위

#### 청구한 1

상면에 제 1 전략을 갖는 제 1 반도체 참과, 상면에 제 2 전략을 갖고, 상기 제 2 전략을 상기 제 1 전략 에 전기적으로 장속시킨 상태로 상기 제 1 반도체 참 상에 탑재된 제 2 반도체 참을 구비하며, 상기 제 2 반도체 칩 하면의 모시리부가 가끔에 의하여 무디머지는 것을 특징으로 하는 반도체장치.

#### 친구한 2

제 1 함께 있어서,

상기 제 2 반도체 첩 하면의 모서리부가 꼭면으로 되는 것을 복장으로 하는 반도체장치.

제 2 항에 있어서,

상기 제 2 반도체 첩 하면 모서리부의 곡면 곡물반경이 lgm보다 큰 것을 똑징으로 하는 반도체장치.

#### 청구항 4

제 ㅣ함 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 1 반도체 참과 제 2 반도체 참 사이에 수지층이 개재되는 것을 확장으로 하는 반도체장치.

#### 청구한 5

상면에 제 1 전국을 갖는 제 1 반도체 합과.

상면에 제 2 전극을 갖고, 상기 제 2 전극을 상기 제 1 전국에 전기적으로 접숙시킨 상태로 상기 제 1 반도체 첩 상에 탑재된 제 2 반도체 첩과,

상기 제 1 반도체 참과 제 2 반도체 참 사이에 개재하며, 또 상기 제 2 반도체 참의 전 축면을 따득하는 수지층을 구비하는 반도체장치.

#### 천구한 6

제 5 할에 있어서,

소기 수지층 중 삼기 재 1 반도체 협과 재 2 반도체 칩 사이에 개재하는 부분과, 삼기 제 2 반도체 칩의 전 축면을 피착하는 부분은, 서로 다른 수지재료로 구성되는 것을 특징으로 하는 반도체장치.

## 성구함 7

제 6 할에 있어서.

상기 수지층 중 상기 제 2 반도체 첩의 존 측면을 때복하는 부분의 꿈러 할유량은, 상기 제 1 반도체 칩 과 제 2 반도체 첩 사이에 개재하는 부분의 필러 합유량보다 많은 것을 목징으로 하는 반도체장치.

제 6 항에 있어서.

상기 수지층 중 상기 제 2 반도체 칩의 전 축면을 피복하는 부분의 필러 명군지름은, 상기 제 1 반도체 칩과 제 2 반도체 칩 사이에 개재하는 부분의 필러 평군자롭보다 큰 것을 목정으로 하는 반도체장치.

#### 성구반 9

제 5 할 내지 제 8 항 중 데느 한 항에 있어서,

상기 수지층 중 상기 제 2 반도체 첩의 전 속면용 따복하는 부분의 상면은, 상기 제 2 반도체 첩 하면과 거의 공략의 평면을 갖는 위치에 있는 것을 확장으로 하는 반도체장치.

### 청구항 🛈

제 9 함에 있어서.

상기 제 1 반도체 칩과 상기 제 2 반도체 칩은 수지 봉업되는 것을 특징으로 하는 반도체장치.

#### 왕구한 11

상면에 제 1 전국을 갖는 제 1 반도체 첩과,

상면에 제 2 전국을 갖고, 상기 제 2 전국을 상기 제 1 전국에 전기적으로 접속시킨 상태로 샹기 제 1 반 25-12

[첨부그림 13]

€2002-0053011

도채 칩 상에 탑재된 제 2 반도체 칩을 구비하며,

상기 제 2 반도체 첩 증앙부는 주변부보다 두꺼운 것을 특징으로 하는 반도체장치.

#### 원구방 12

제 11 함께 있어서,

제 1 반도체 참과 제 2 반도체 참 사이에 개제하는 수지층을 추가로 구비하는 것을 특징으로 하는 반도체 장치.

#### 성구방 13

제 12 항에 있어서.

상기 제 1 반도체 칩과 상기 제 2 반도체 칩은, 수지붕입되는 것을 목장으로 하는 반도체장치.

제 1 반도체 첩 상에 저 2 반도체 첩출, 양자의 전국끼리 전기적으로 서로 접숙된 상태로 웹제시켜 협성 되는 반도체장치의 제조방법에 있어서,

상면에 제 1 전국을 가지며, 삼기 제 1 반도체 칩으로 및 제 1 반도체 칩 형성영역을 갖는 웨이퍼와, 삼 면에 제 2 전국을 갖는 삼기 제 2 반도체 칩을 준비하는 공정과,

상기 웨이퍼의 각 협 형성영역 성에 상기 제 2 반도체 칩을 각각 탐재시키고, 상기 제 1 전국과 상기 제 2 전국출 서로 전기적으로 접속하는 용정과,

상기 웨미퍼의 각 칢 협성영역과 상기 제 2 반도체 침 시미에 수저충출 형성하는 공정과.

상기 제 2 반도체 첩을 상기 웨이퍼에 탑재한 상태에서 상기 제 2 반도체 칩 하면을 연미하는 공정과,

상기 웨OIH를 각 칩 형성염역별로 분리시키고, 제 1 반도체 칩 상에 제 2 반도체 칩이 탑재되며 구성되는 집합체금 개별로 형성하는 공정과,

상기 제 1 반도체 컵 상에서 상기 제 2 반도체 첩흥 봉입수지로 증입하는 공정을 포함하는 반도체장치의 제조방법.

#### 성구항 15

제 1 반도체 칩 상에 제 2 반도체 칩을, 양자의 친극끼리 전기적으로 서로 접속된 성태로 탑재시켜 형성 되는 반도체장치의 제조방법에 있어서,

상면에 제 1 전국을 갖는 제 1 반도체 청과, 상면에 제 2 전국을 갖는 상기 제 2 반도체 첩을 준비하는 공장과.

산기 제 I 반도체 칩 협성염역 상에 상기 제 2 반도체 침급 탑재시키고, 상기 제 I 전국과 상기 제 2 전 극률 서로 전기적으로 접속하는 용정과,

상기 쟤 1 반도체 취과 상기 제 2 반도체 칩 사이에 수자료을 형성하는 공정과,

상기 제 2 반도체 칩을 상기 웨이퍼에 탑재한 상태에서 상기 제 2 반도체 칩의 하면을 연마하는 광정과.

상기 제 1 반도체 참과 상기 제 2 반도체 칩음 병압수지로 병압하는 공정을 포함하는 반도체장치의 제조 방법.

## 성구항 IG

제 14 항 또는 제 15 항에 있어서,

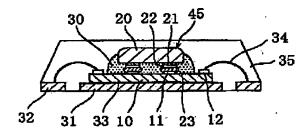
상기 제 1 전국과 상기 제 2 전국읍 서로 전기적으로 접속하는 공정은, 상기 제 1 전국 및 삼기 제 2 전 국 중 적대도 어느 한쪽 전국에 범포을 형성하고, 상기 범포를 개제하고 각 전국끼리를 접속하는 공정읍 추가로 포함하는 것을 목장으로 하는 반도체장치의 제조방법.

ER

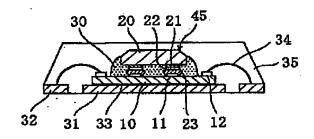
[첨부그림 14]

母2002-0053011

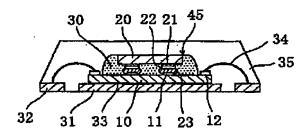
**基图**1



5012



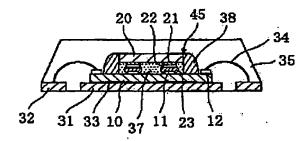
*도世8* 



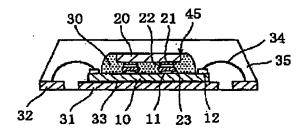
[첨부그림 15]

每2002-0053011

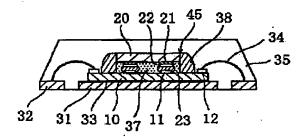
*도명*4



*5285* 



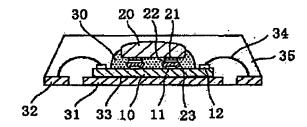
<u> 58</u>8



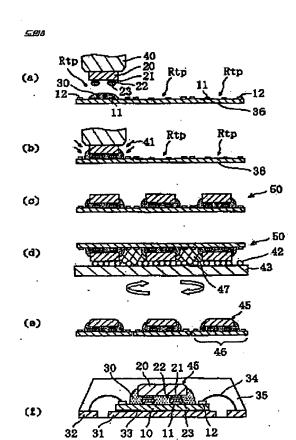
[첨부그림 16]

尋2002-0053011

*5*07



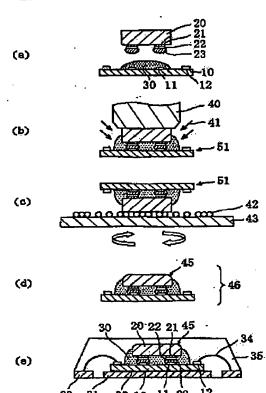
**₹2002-0053011** 



[첨부그림 18]

概2002-0053011

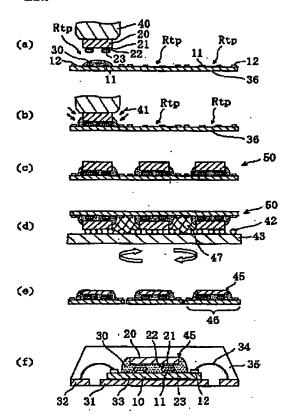
<u>58</u>0



- [참부그림 19]

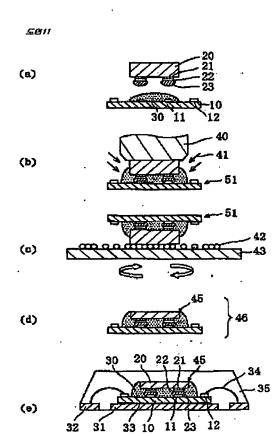
每2002-0053011

**基图10** 



[첨부그림 20]

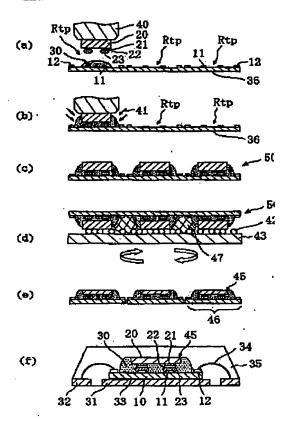
每2002-0053011



[첨부그림 21]

異2002-0053011

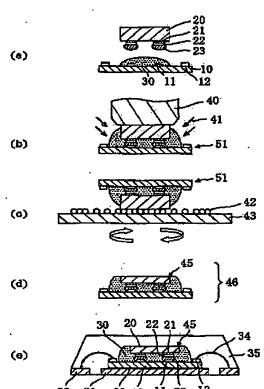
£B12



[첨부그림 22]

목 2002-0053011

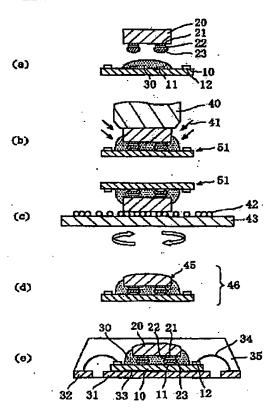
£813



[첨부그림 23]

每2002-0053011

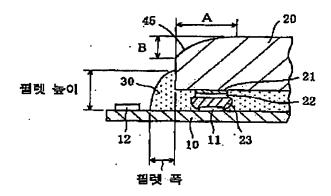
空时村



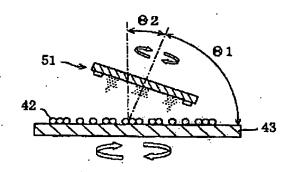
[첨부그림 24]

₩ 2002-0053011

<u> 5815</u>



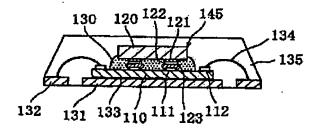
*5.6*18



[첨부그림 25]

**€** 2002-0053011

5B17



5918

